

引用例 2 の写し

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁵

G11C 16/06

(11) 공개번호 특1997-0029865

(43) 공개일자 1997년 06월 26일

(21) 출원번호 특1996-0059400

(22) 출원일자 1996년 11월 29일

(30) 우선권주장 95-311260 1995년 11월 29일 일본(JP)

(71) 출원인 닛본덴기 가부시끼가이샤 가네코 히사시

(72) 발명자 일본 도쿄도 미나토구 시바 5초메 7-1

우라이 다카히코

(74) 대리인 일본 도쿄도 미나토구 시바 5초메 7-1 닛본덴기 가부시끼가이샤 내

장수길, 구영창

심사청구 : 있음

(54) NAND 구조 셀을 갖는 플래시 EEPROM

요약

NAND 구조 셀의 플래시 EEPROM은 n형 반도체 기판에 차례로 형성되어진 p형 웰(1 및 2) 각각에 형성된 다수의 메모리 셀 어레이(AR, 내지 AR_n, AR, 내지 AR_n)를 갖는다. 메모리 셀 어레이 각각은 열방향으로 배열되며 단일의 n+ 확산 영역으로 형성되어진 2개 겹쳐 인접한 셀 트랜지스터의 드레인 및 소스와 직렬 접속되어진 메모리 셀 트랜지스터(예를 들어, M₁, 내지 M_n)이 NAND 구조를 갖는다. NAND 구조 셀 각각은 제 1 및 제 2 선택 트랜지스터를 그 단에서 각각 갖고 있다. 각각의 메모리 셀 어레이(AR, 내지 AR_n)에서 NAND 구조 셀을 형성하는 대응하는 셀 트랜지스터의 제어 게이트는 워드 라인을 형성하는 열방향으로 형성되어 있는 제어 게이트 라인(예를 들어, CG, 내지 CG_n)에 의해 서로 접속되어진다. 동일하게, 각각의 메모리 셀 어레이의 제 1 및 제 2 선택 트랜지스터의 제어 게이트 각각은 워드 라인과 제 1 및 제 2 선택 게이트 라인(예를 들어, SG₁, 및 SG₂)에 평행하게 접속된다. p형 웰(2)에 형성되어진 메모리 셀 어레이, 메모리 셀 트랜지스터, 제어 게이트 라인 및 선택 게이트 라인을 포함한 대응하는 구성 요소는 소스 라인 S에 대해 p형 웰(1)에 형성된 것들과 대칭적이다. 열방향의 비트 라인 각각은 p형 웰(1 및 2)에 대칭적으로 배치되어 있는 메모리 셀 어레이 각각의 제 1 선택 트랜지스터에 접속된다. 웰 전위와 동일한 제 1 전압 또는 메모리 셀 트랜지스터에서 데이터를 소거시키기 위해 충분한 제 2 전압으로 이루어진 소거 제어 전압을 선택 및 비선택된 제어 게이트 라인에 선택적으로 공급하도록 소거 제어 수단이 추가로 제공되어짐으로써, 기억되어진 데이터에 대한 소거를 워드 단위로 행할 수 있다.

도면

도 2

명세서

[발명의 명칭]

NAND 구조 셀을 갖는 플래시 EEPROM

[도면의 간단한 설명]

제2도는 본 발명의 실시예의 등가 회로도로서, 부분 블록도를 포함한 도면.

"본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음"

(57) 청구의 범위

청구항 1. 어느 한 도전형의 반도체 기판(10)이 표면에 차례로 형성되어진 반대 도전형의 적어도 제1 및 제2 웰(1,2) 각각에 다수의 메모리 셀 어레이(AR, 내지 AR, AR, 내지 AR)가 형성되어 있는 NAND 구조 셀의 플래시 EEPROM(전기적으로 소거가능한 프로그래머블 판독 전용 메모리)로서, 상기 각각의 메모리 셀 어레이는 상기 웰 사이에서 행방향으로 놓여 있는 소정의 라인(S)에 대해 머칭적으로 열방향으로 평행하게 배열되어 있는 상기 NAND 구조 셀(M, 내지 M, M, 내지 M, ..., M, 내지 M, 등)의 다수의 메모리 셀 트랜지스터를 포함하며, 상기 각각의 메모리 셀 트랜지스터는 파울러-노드 하임(F-N) 터널링에 의해 주입되어진 열전자를 부유 게이트에서 보유할 수 있으며, 상기 메모리 셀 트랜지스터는 중 2개 겹쳐 인접한 트랜지스터의 소스 및 드레인은 상기 웰에 형성되어진 단일의 고농도 도핑한 확산 영역으로 형성되며, 상기 메모리 셀 어레이 각각에 포함되어 있는 상기 메모리 셀 트랜지스터 중 대응하는 트랜지스터의 제어 게이트는 행방향으로 평행하게 놓여 있는 제어 게이트 라인(CG, 내지 CG, CG, 내지 CG, CG)에 각각 접속되어 워드 라인을 형성하며, 상기 각각의 NAND 구조 셀의 제1 및 제2 단은 상기 제어 게이트 라인과 평행하게 놓여 있는 제1 및 제2 선택 게이트 라인(SG, SG, SG, SG)에 각각 접속되어 있는 제어 게이트를 갖는 제1 및 제2 선택 트랜지스터(T, T, ..., T, T, T, ..., T, 등) 각각의 소스 및 드레인에 접속되며, 상기 메모리 셀 어레이 각각의 상기 제1 및 제2 선택 트랜지스터의 드레인 및 소스 각각은 열방향으로 평행하게 놓여 있는 비트 라인 각각에 접속되어 있는 플래시 EEPROM에 있어서, 상기 제어 게이트 라인에 접속되어 이것에 관련된 상기 메모리 셀 트랜지스터에 기억되어 있는 데이터의 소거를 위해 상기 제어 게이트 라인 중 선택된 제어 게이트 라인을 지정하는 행 어드레스 신호에 응답하여, 상기 제어 게이트 라인 중 선택된 제어 게이트 라인에 공급되어지는 제1 전압과 상기 제어 게이트 라인 중 비선택된 제어 게이트 라인에 공급되어지는 제2 전압으로 이루어진 소거 제어 신호를 발생시키며, 상기 제1 전압은 상기 선택된 제어 게이트 라인에 관련된 상기 메모리 셀 트랜지스터에 보유되어 있는 상기 전자들을 제거시키기에 충분한 소거 제어 신호 발생 수단(3)을 더 포함하는 것을 특징으로 하는 플래시 EEPROM.

청구항 2. 제1항에 있어서, 상기 소거 제어 신호 발생 수단 (3)은 상기 행 어드레스 신호의 하위 비트에 응답하여 상기 제어 게이트 라인에 디코드 출력을 각각 공급하는 제1 부분(31)과, 상기 행 어드레스 신호의 상위 비트에 응답하여 상기 디코드 출력을 상기 제1 및 제2 웰 중 어느 하나의 상기 제어 게이트 라인에 선택적으로 공급시키는 제2 부분(32)을 포함하는 것을 특징으로 하는 플래시 EEPROM.

청구항 3. 제2항에 있어서, 상기 소거 제어 신호 발생수단의 상기 제1 부분(31)은 상기 행 어드레스 신호의 상기 하위 비트의 NAND 출력을 제공하는 NAND 게이트(311)와, 제어 신호에 응답하여 상기 NAND 출력을 댕치시키는 한 쌍의 플럭스 반전기(316, 317)와, 모드 스위칭 신호에 응답하여 상기 플럭스 반전기의 출력의 통과를 제어하는 한 쌍의 제1트랜지스터 게이트 수단(TG, TG)과, 상기 제1트랜지스터 게이트 수단의 출력에 응답하여 상기 제1 및 제2 전압을 갖는 디코드 출력을 공급하는 수단(318)을 포함하는 것을 특징으로 하는 플래시 EEPROM.

청구항 4. 제3항에 있어서 상기 제2 부분(32)은 상기 행 어드레스 신호의 상기 상위 비트(UA)의 NAND 출력을 공급하

는 NAND 게이트(321)와, 상기 NAND 출력에 응답해서 한 쌍의 상보형 출력을 공급하는 레벨 시프팅 회로(323)와, 상기 상보형 출력에 응답하여 상기 디코드 출력을 상기 웰 중 선택된 웰 내의 상기 제어 게이트 라인에 선택적으로 공급시키는 다수의 제2 트랜스퍼 게이트 수단(TG_{2n} , 내지 TG_{2m})을 포함하는 것을 특징으로 하는 플래시 EEPROM.

청구항 5. 제2항에 있어서, 상기 소거 제어 신호 발생 수단의 제1 부분(31)은 상기 제어 게이트 라인에 각각 대응하는 거의 동일한 다수의 회로 섹션(31A1 내지 31A8)을 포함하며, 상기 각각의 회로 섹션 (31A1 내지 31A8)은, 상기 행 어드레스 신호의 상기 하위 비트(LA)를 수신하도록 되어 있는 제1 AND 게이트, 상기 비트 라인에 접속된 상기 제1 선택 트랜지스터에서 멀리 떨어져 있는 제어 게이트 라인에 할당된 상기 회로 섹션 중 그 다음 섹션으로부터 공급된 캐리 신호와 제2 제어 신호를 수신하도록 되어 있는 제2 AND 게이트 및 상기 제1 및 제2 AND 게이트로부터 나온 출력의 NOR 출력을 공급하는 NOR 게이트로 이루어지며, 상기 행 어드레스 신호의 상기 하위 비트 및 상기 캐리 신호에 응답하여 합성 논리 출력을 제공하는 합성 논리 회로와; 모드 스위칭 신호에 응답하여 상기 합성 논리 출력의 통과를 제어하는 한 쌍의 제1 트랜스퍼 게이트 수단(TG_1 , TG_2)과; 상기 제1 트랜스퍼 게이트 수단의 출력에 응답하여 디코드 출력을 제공하는 수단(318)을 포함하며, 상기 행 어드레스 신호의 상기 하위 비트에 대응하는 상기 회로 섹션 중 선택된 섹션 및 상기 비트 라인에 접속된 상기 선택 트랜지스터에 보다 근접해 있는 상기 제어 게이트 라인에 대응하는 상기 회로 섹션 중 선택된 섹션으로부터 나온 디코드 출력은 제1 전압을 갖는 것을 특징으로 하는 플래시 EEPROM.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2

